

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

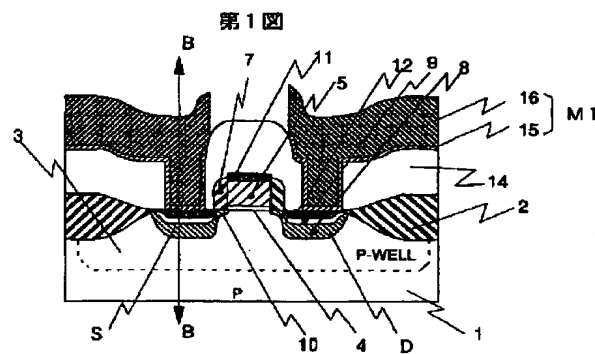


<p>(51) 国際特許分類 H01L 21/28</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/16116</p> <p>(43) 国際公開日 1999年4月1日(01.04.99)</p>
<p>(21) 国際出願番号 PCT/JP97/03328</p> <p>(22) 国際出願日 1997年9月19日(19.09.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 日立超エル・エス・アイ・エンジニアリング株式会社 (HITACHI, ULSI ENGINEERING CORP.)(JP/JP) 〒187 東京都小平市上水本町五丁目20番1号 Tokyo, (JP)</p> <p>(72) 発明者：および (75) 発明者／出願人 (米国についてののみ) 深田晋一(FUKADA, Shinichi)(JP/JP) 〒191 東京都日野市落川946 佐伯マンション101 Tokyo, (JP) 橋本直孝(HASHIMOTO, Naotaka)(JP/JP) 〒184 東京都小金井市貫井北町1-6-23 402 Tokyo, (JP) 小島勝紀(KOJIMA, Masanori)(JP/JP) 〒183 東京都府中市北山町2-6 日立超L西国分寺寮内 Tokyo, (JP) 楓 弘志(MOMIJI, Hiroshi)(JP/JP) 〒198 東京都青梅市新町1109-1 日立新町寮205 Tokyo, (JP)</p>		<p>阿部宏美(ABE, Hiromi)(JP/JP) 〒116 東京都荒川区南千住5-23-15 Tokyo, (JP) 鈴木正恭(SUZUKI, Masayuki)(JP/JP) 〒185 東京都国分寺市東恋ヶ窪2-33-14-201 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE</p> <p>(54)発明の名称 半導体装置の製造方法</p> <div data-bbox="422 1197 1250 1659"> </div> <p>(57) Abstract</p> <p>The dopant ion implanting process which is performed for forming a source area (S) and a drain area (D) is divided into two stages. In the first stage, dopant ions are implanted one time for forming p-n junctions between the source and drain areas (S and D) and a well area (3). In the second stage, a large amount of dopant ions are implanted one time to a shallow depth at which the ions do not affect the p-n junctions between the source and drain areas (S and D) and the well area (3). When the surfaces of the source and drain areas (S and D) are silicified (12) after performing dopant activating heat treatment, the resistances in the source and drain areas (S and D) and the leakage from the p-n junctions can be reduced.</p>		

(11) 国際公開番号

(43)国際公開日 平成11年4月1日(1999.4.1)

FI



【特許請求の範囲】

1. 半導体本体の第1導電型不純物が導入された半導体主面の所定の領域に、その半導体とPN接合を構成する半導体領域を形成するためにその第1導電型とは反対の第2導電型不純物のイオンを打ち込む第1の工程と、

前記所定の領域表面に金属・半導体合金層を所定の厚さに形成するために第2導電型不純物のイオンを所定ドーズ量に打ち込む第2の工程と、しかる後、

前記第2の工程が成されたその所定領域表面に金属と半導体を反応させた金属・半導体合金層を形成する工程とから成ることを特徴とする半導体装置の製造方法。

2. 前記第2の工程でのイオン打ち込みドーズ量は、前記第1の工程でのイオン打ち込みドーズ量よりも高いことを特徴とする請求の範囲第1項に記載の半導体装置の製造方法。

3. 前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする請求の範囲第1項乃至第2項のいずれか一つに記載の半導体装置の製造方法。

4. シリコンより成る第1導電型の第1半導体領域主面にその第1半導体領域とPN接合を構成する第2半導体領域を形成するためにその第1導電型とは反対の第2導電型不純物のイオン打ち込みを成す第1の工程と、

前記第1の工程が成された前記第1半導体領域主面にシリサイド層を所定の厚さに形成するために第2導電型不純物のイオンを所定ドーズ量に打ち込む第2の工程と、しかる後、

熱処理により第2半導体領域を形成する工程と、

前記第2半導体領域表面に金属層を被覆する工程と、

熱処理により前記金属層と前記第2半導体領域のシリコンを反応させて金属シリサイド層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

5. 前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする請求の範囲第3項に記載の半導体装置の製造方法。

6. 前記前記第2半導体領域表面に金属層を被覆する工程は、スパッタ法により実行されることを特徴とする請求の範囲第4項に記載の半導体装置の製造方法。

7. シリコンより成る第1導電型の第1半導体領域主面を熱酸化し、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に多結晶シリコンより成るゲート電極をパターン形成する工程と、

前記ゲート電極が形成されていない前記第1半導体領域主面部に第2導電型不純物のイオンを打ち込む第1の工程と、

前記ゲート電極の側壁にサイドウォールスペーサを形成する工程と、

前記ゲート電極および前記サイドウォールスペーサが形成されていない前記第1半導体領域主面部に、その第1半導体領域とPN接合を構成するソース・ドレイン領域を形成するためにその第1導電型とは反対の第2導電型不純物のイオンを打ち込む第2の工程と、

前記第1半導体領域主面部に、シリサイド層を所定の厚さに形成するために第2導電型不純物のイオンを所定ドーズ量で打ち込む第3の工程と、しかる後、

熱処理によりソース・ドレイン領域を形成する工程と、

前記ソース・ドレイン領域表面及びゲート電極表面に金属層を被覆する工程と、

熱処理により前記金属層と前記ソース・ドレイン領域表面及びゲート電極表面のシリコンを反応させて金属シリサイド層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

8. 前記金属シリサイド層を形成した後、前記ゲート電極上および前記ソース・ドレイン領域上に層間絶縁膜を形成する工程と、

前記ゲート電極表面および前記ソース・ドレイン領域表面の金属シリサイド層の一部を露出するために前記層間絶縁膜にコンタクト孔を形成する工程と、

前記コンタクト孔内において金属シリサイド層に導電性のバリア層を介して電氣的接続を成す高融点金属配線を形成する工程とをさらに含むことを特徴とする請求の範囲第7項に記載の半導体装置の製造方法。

9. 前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする請求の範囲第8項に記載の半導体装置の製造方法。

10. 前記ソース・ドレイン領域表面に金属層を被覆する工程は、スパッタ法により実行されることを特徴とする請求の範囲第8項乃至第9項いずれか一つに記載の半導体装置の製造方法。

11. 前記バリア層はチタンナイトライドであり、前記高融点金属配線はタングステンで形成されて成ることを特徴とする請求の範囲第8項に記載の半導体装置の製造方法。

12. 前記第2の工程及び前記第3の工程に先立つて、前記ゲート電極上および前記第1半導体領域主面部に絶縁膜を形成し、その絶

縁膜を通して前記第2の工程及び前記第3の工程を成し、その絶縁膜を残した状態で前記熱処理によりソース・ドレイン領域を形成する工程を成すことを特徴とする請求の範囲第7項に記載の半導体装置の製造方法。

13. 半導体基板の主面に第1導電型の第1ウェルおよび第2導電型の第2ウェルを形成する工程と、

第1ウェルおよび第2ウェルのそれぞれの表面にゲート絶縁膜を形成する工程と、

前記第1ウェル表面に形成されたゲート絶縁膜上に多結晶シリコンから成る第1ゲート電極を、前記第2ウェル表面に形成されたゲート絶縁膜上に多結晶シリコンから成る第2ゲート電極を形成する工程と、

前記第1ゲート電極が形成されていない前記第1ウェル主面部に第2導電型不純物のイオン打ち込みを成す第1のイオン打ち込み工程と、

前記第2ゲート電極が形成されていない前記第2ウェル主面部に第1導電型不純物のイオン打ち込みを成す第2のイオン打ち込み工程と、

前記第1および第2ゲート電極の側壁にそれぞれサイドウォールスペーサを形成する工程と、

前記第1ゲート電極および前記サイドウォールスペーサが形成されていない前記第1ウェル主面部に、その第1ウェルとPN接合を構成するソース・ドレイン領域を形成するためにその第1導電型とは反対の第2導電型不純物のイオン打ち込みを成す第3のイオン打ち込み工程と、

前記第3のイオン打ち込みが成された前記第1ウェル主面に、シリサイド層を所定の厚さに形成するために第2導電型不純物のイオン打ち込みを成す第4のイオン打ち込み工程と、

前記第2ゲート電極および前記サイドウォールスペーサが形成されていない前記第2ウェル主面部に、その第2ウェルとPN接合を構成するソース・ドレイン領域を形成するために第1導電型不純物のイオン打ち込みを成す第5のイオン打ち込み工程と、

前記第5のイオン打ち込みが成された前記第2ウェル主面に、シリサイド層を所定の厚さに形成するために第1導電型不純物のイオン打ち込みを成す第6のイオン打ち込み工程と、しかる後、

熱処理により第1および第2ウェルのそれぞれにソース・ドレイン領域を形成する工程と、

前記第1および第2ウェル内のそれぞれのソース・ドレイン領域表面と、それぞれの第1および第2ゲート電極表面に金属層を被覆する工程と、

熱処理により前記金属層と前記第1および第2ウェル内のそれぞれのソース・ドレイン領域表面及びそれぞれの第1および第2ゲート電極表面のシリコンを反応させて金属シリサイド層を形成する工程とを含むことを特徴とするCMOS半導体装置の製造方法。

14. 前記金属シリサイド層はコバルトシリサイドより成ることを特徴とする請求の範囲第13項に記載のCMOS半導体装置の製造方法。

15. 前記第1および第2ウェルのそれぞれに形成されたソース・ドレイン領域表面に金属層を被覆する工程は、スパッタ法により実行されることを特徴とする請求の範囲第13項乃至第14項いずれ

か一つに記載のCMOS半導体装置の製造方法。

16. 第3のイオン打ち込み工程及び第5のイオン打ち込み工程に先立つて、前記第1および第2ゲート電極上、および前記第1のイオン打ち込みが成された前記第1ウェル主面部および前記第2のイオン打ち込みが成された前記第2ウェル主面部に絶縁膜を形成し、その絶縁膜を通して第3のイオン打ち込み工程及び第

5のイオン打ち込み工程での不純物イオンを打ち込みを成し、その絶縁膜を残した状態で前記熱処理によりソース・ドレイン領域を形成する工程を成すことを特徴とする請求の範囲第13項に記載のCMOS半導体装置の製造方法。

17. ソース・ドレイン領域表面が、Si基板とSi基板表面に被着させたCo層を反応させて形成したコバルトシリサイド層に被われたMOS半導体装置の製造方法であって、半導体基板に設けられたウエハ主面にサイドスペーサを含むゲート電極を形成後、ソース及びドレイン領域形成のドーパントイオン打ち込み工程を、ウエル領域との間にp/n接合を形成する少なくとも1回のドーパントイオン打ち込みと、ソース・ドレイン領域とウエルとの間のp/n接合位置に影響を与えない最も打ち込み深さが浅くかつ最も打ち込み量の多い1回のドーパントイオン打ち込みに分けて行い、ドーパントの活性化熱処理を実施した後、少なくともソース・ドレイン領域表面をコバルトシリサイド化することを特徴とするMOS半導体装置の製造方法。

18. 活性化熱処理を、900℃以上の温度で、60秒以下の時間で行うことを特徴とする請求の範囲第17項に記載のMOS半導体装置の製造方法。

19. ソース・ドレイン表面が、Si基板とSi基板表面に被着させた金属層を反応させて形成した平均膜厚 t の金属シリサイド層に被われたMOS半導体装置であって、Si基板表面からの深さ $2 \times t$ 以上の領域でのソース・ドレイン中のドーパント濃度が 1×10^{20} 個/cm³以下であることを特徴とするMOS半導体装置。

20. 前記ソース・ドレイン表面に形成される金属シリサイド層がコバルトシリサイド層であることを特徴とする請求の範囲第19項に記載のMOS半導体装置。

21. ソース及びドレインの接合深さが、 $4 \times t$ 以上であることを特徴とする請求の範囲第19項乃至第20項にいずれか一つに記載のMOS半導体装置。

22. ソース・ドレイン領域表面が、Si基板とSi基板表面に被着させたCo層を反応させて形成したコバルトシリサイド層に被われたMOS半導体装置であって、5V印加時の接合リーク電流密度 1×10^{-13} A/μm²以下であることを特徴とするMOS半導体装置。

23. ソース・ドレイン領域表面が、Si基板とSi基板表面に被着させたCo層を反応させて形成したコバルトシリサイド層に被われたMOS半導体装置であって、5V印加時の接合リーク電流密度 $5 \times 10^{-14} \text{A}/\mu\text{m}^2$ 以下であることを特徴とするMOS半導体装置。

24. 前記半導体基板はP型Si基板主面にP型エピタキシャル層が形成されたエピタキシャルウエハが用いられることを特徴とする請求の範囲第13項に記載のCMOS半導体装置の製造方法。

25. 前記P型エピタキシャル層の厚さは $1 \sim 3 \mu\text{m}$ であることを特徴とする請求の範囲第24項に記載のCMOS半導体装置の製造方法。

【発明の詳細な説明】

半導体装置の製造方法

技術分野

本発明は半導体技術分野、特に高速動作の必要な半導体装置の製造方法に関する。

背景技術

現在、MOSLSIを構成するMOSトランジスタの高速動作を達成するために、ソース及びドレイン電極のシート抵抗、電極と配線とのコンタクト抵抗、ソース及びドレインの寄生容量の低減が重要な課題となっている。

この課題に対し、ソース及びドレイン表面を一括して自己整合的にシリサイド化した構造が特に高速動作の必要な半導体装置に適用されている。この構造では各電極表面がチタンシリサイド (TiSi_2)、コバルトシリサイド (CoSi_2) 等の低抵抗シリサイドに被われシート抵抗が低減され、配線とのコンタクト抵抗も従来の金属/半導体接触に比べ大幅に低減できる。また、ソース、ドレインの面積を低減できるため寄生容量も低減することができる。さらに、ソース、及びドレイン表面をシリサイド化する際にゲート電極上も同時に自己整合的にシリサイド化するいわゆるサリサイド (Salicide: Self-aligned Silicide) 技術も広く用いられている。

この TiSi_2 の場合、比較的比抵抗の高い準安定相 (C45構造) と比較的比抵抗の低い安定相 (C54構造) で構成されている。準安定

相 (C45構造) から安定相 (C54構造) への相転移させるためには、約 800°C 程度の熱処理で達成される。しかしながら、この温度は微細パターンになるほど高くなる。つまり、微細パターン (例えば、 $0.2\mu\text{m}$ 以下) になると相転移しにくくなる、いわゆる細線効果があることが知られている。したがって、 $0.2\mu\text{m}$ 以下のゲート線幅を有する微細パターンを達成するためには、相転移のための熱処理温度を高めなければならない。このため、その熱処理温度による微細なソース・ドレイン拡散層への影響をおよぼすことになる。

また、最近のMOSLSIは低消費電力化のために相補型MOSトランジスタ

で構成されている。このため、シリサイド層もN+型単結晶シリコン領域（N型ソース・ドレイン）、P+型単結晶シリコン領域（P型ソース・ドレイン）、N+型多結晶シリコンゲート電極およびP+型多結晶シリコンゲート電極の如き各種ドーパントを有するシリコン上に形成する必要がある。TiSi₂の場合、その形成温度はドーパントの影響が大きい。一般に、N+型シリコン上はP+型シリコン上に比べ60%～70%程度の厚さになる。このことは、TiがN型ドーパントを吸い上げ、その結果、シリサイド反応を阻害することに起因している。

一方、上記のような問題点のあるTiSi₂に代えて細線効果およびドーパントの影響の小さいCoSi₂が適用されつつある。

このCoSi₂を適用したシリサイド構造のMOS型半導体装置は、例えば特開平8-186085号公報あるいは特開平8-274047号公報に言及されている。これら両公報によれば、CoSi₂適用での接合リーク電流の増大、接合耐圧の劣化についての問題ならびにその解決手段が明らかにされている。まず、その問題は以下に起

因しているものである。

コバルト膜のスパッタリング形成前に拡散層表面に自然酸化膜が形成され、このような状態でコバルト膜形成および第1の熱処理を行うと拡散層とCoSi膜との界面が一様ではなくがたがたになる。第2の熱処理により得られる拡散層とCoSi₂膜との界面は、拡散層とCoSi膜との界面の形状の影響を免れない。さらにCoSi膜からCoSi₂膜に変換されるさいに体積の増加が伴うことから、拡散層のPN接合面とがたがたしたこのCoSi₂膜の底面との間隔は狭くなる。このため、拡散層の接合リーク電流の増大、接合耐圧の劣化が起こりやすくなるというものである。

そして、前者の公報に開示された発明によれば、真空装置中で水素プラズマにより拡散層表面の自然酸化膜を除去した後、真空を破ることなく、ビス・メチル・シンクロペンタ・ジエニル・コバルトを気化させ、このガスを熱分解するCVD法によりコバルト膜を形成するというものである。

また、後者の公報に開示された発明によれば、真空装置中で水素プラズマによ

り拡散層表面の自然酸化膜を除去した後、真空を破ることなく、ビス・ヘキサフルオロ・アセチルアセトネート・コバルトの気化ガスを水素ガスで還元するCVD法によりコバルト膜を形成するというものである。

CoSi₂の場合、上記公報に開示されたような自然酸化膜に起因した接合リーク電流の増大、接合耐圧の劣化の問題とは全く別に、以下に述べる問題点に起因した接合リーク電流の増大、接合耐圧の劣化が生じることが本発明者等によって明らかにされた。

ソース、ドレインをCoSi₂化した時の、ソース、ドレイン/ウエル

間の接合リーク対策の一環としてイオン打ち込み条件の分流実験を実施した。その結果、インプランテーションエネルギーが大きく、濃いp⁺、n⁺層が深くまで形成されている試料の方が接合リークの多いことが見い出された。これは予想とは全く逆の結果である。解析の結果、接合リークはイオン打ち込み欠陥起因であり、そのため高エネルギー、高ドーズのイオン打ち込みを実施した試料で接合リークが増加したことが判明した。

すなわち、通常のソース及びドレイン（Si半導体領域）上のシリサイド化技術においては、そのSi半導体領域上に形成した金属膜とSiとを反応させてシリサイドを形成するため、針状に異常成長したシリサイドやSi半導体領域中を拡散した金属原子が下に形成されているp/n接合まで到達したり、シリサイドが横方向に異常成長して素子分離領域（LOCOS）の端部（バードピーク近傍）でp/n接合に到達したりして接合リークを増大させる。この問題はシリサイドにCoSi₂を選択した場合に特に深刻である。この異常成長はソース及びドレイン形成のために基板に高濃度（約 1×10^{20} 個/cm²以上）のイオン打ち込み、その後のアニールでも回復されない基板へのイオンインプランテーションダメージ、いわゆる残留欠陥に起因している。

解決策の一つとして、ソース及びドレイン上に形成するCoSi₂の膜厚を薄くすることが考えられる。この場合、接合リークを低減することは可能だが、ソース及びドレインのシート抵抗を低減するという目的を達することができない。また、CoSi₂の膜厚を薄くすると、コンタクト孔開口ドライエッチング時にオーバー

エッチングで CoSi_2 膜が削られ、消滅してしまいコンタクト抵抗を増大させる危険

性もある。このため、ソース及びドレイン上の CoSi_2 の膜厚をむやみに薄くすることはできない。

したがって、本発明は、接合リーク電流の増大、接合耐圧の劣化を抑制したシリサイドコンタクトを達成する半導体装置の製造方法を提供することを目的としている。

また、本発明は、高速動作可能な微細配線パターンを有する半導体装置の製造方法を提供することを目的としている。

さらに、本発明は、高速動作可能な微細配線パターンを有するCMOS半導体装置の製造方法を提供することを目的としている。

そして、本発明のより具体的な目的は、ソース及びドレイン上に CoSi_2 膜をその下のp/n接合に接合リークを増大させることなく形成することにある。特に、シート抵抗を低減するのに十分な膜厚の CoSi_2 膜を形成した場合でもその下のp/n接合に接合リークを増大させることなく形成することを目的とする。

発明の開示

本発明は、半導体本体の第1導電型不純物が導入された半導体主面の所定の領域に、その半導体とPN接合を構成する半導体領域を形成するためにその第1導電型とは反対の第2導電型不純物のイオン打ち込む第1の工程と、前記所定の領域表面に金属・半導体合金層を所定の厚さに形成するために第2導電型不純物のイオン打ち込む第2の工程と、しかる後、前記第2の工程が成されたその所定領域表面に金属と半導体を反応させた金属・半導体合金層を形成する工程とから成る。

このようにPN接合形成のイオン打ち込み(第1の工程)と金属・

半導体合金層形成のイオン打ち込み(第2の工程)とのイオン打ち込み分けを実行することにより、PN接合位置に近い深いイオン打ち込み領域での残留欠陥生成を抑制し、また、その領域表面に位置した浅いイオン打ち込み領域ではシ

ート抵抗を低減するに十分な膜厚の金属・半導体合金層を形成することが可能となる。

また、本発明は、シリコンより成る第1導電型の第1半導体領域主面にその第1半導体領域とPN接合を構成する第2半導体領域を形成するためにその第1導電型とは反対の第2導電型不純物のイオン打ち込みを成す第1の工程と、前記第1の工程が成された前記第1半導体領域主面にシリサイド層を所定の厚さに形成するために第2導電型不純物のイオンを所定ドーズ量に打ち込む第2の工程と、しかる後、熱処理により第2半導体領域を形成する工程と、前記第2半導体領域表面に金属層を被覆する工程と、熱処理により前記金属層と前記第2半導体領域のシリコンを反応させて金属シリサイド層を形成する工程とから成る。

これによって、PN接合位置に近い深いイオン打ち込み領域での残留欠陥生成を抑制し、また、その領域表面に位置した浅いイオン打ち込み領域ではシート抵抗を低減するに十分な膜厚の金属シリサイド層を形成することが可能となる。このため、PN接合リークを増大させることのない低抵抗の金属シリサイド層を半導体領域表面に形成することが可能である。

また、本発明は、シリコンより成る第1導電型の第1半導体領域主面を熱酸化し、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に多結晶シリコンより成るゲート電極をパターン形成する工程と、前記ゲート電極が形成されていない前記第1半導体領域主面部

に第2導電型不純物のイオンを打ち込む第1の工程と、前記ゲート電極の側壁にサイドウォールスペーサを形成する工程と、前記ゲート電極および前記サイドウォールスペーサが形成されていない前記第1半導体領域主面部に、その第1半導体領域とPN接合を構成するソース・ドレイン領域を形成するためにその第1導電型とは反対の第2導電型不純物のイオンを打ち込む第2の工程と、前記第1半導体領域主面に、シリサイド層を所定の厚さに形成するために第2導電型不純物のイオンを所定ドーズ量で打ち込む第3の工程と、しかる後、熱処理によりソース・ドレイン領域を形成する工程と、前記ソース・ドレイン領域表面及びゲート電極表面に金属層を被覆する工程と、熱処理により前記金属層と前記ソース・ド

レイン領域表面及びゲート電極表面のシリコンを反応させて金属シリサイド層を形成する工程とから成る。

これによって、PN接合位置に近い深いイオン打ち込み領域での残留欠陥生成を抑制し、また、その領域表面に位置した浅いイオン打ち込み領域ではシート抵抗を低減するに十分な膜厚の金属シリサイド層を形成することが可能となる。このため、PN接合リークを増大させることのない低抵抗の金属シリサイド層を半導体領域表面、またゲート電極表面に同時に形成することが可能である。したがって、微細パターンを有し、高速動作に適したMOS半導体装置が得られる。

さらに、本発明は、半導体基板の主面に第1導電型の第1ウェルおよび第2導電型の第2ウェルを形成する工程と、第1ウェルおよび第2ウェルのそれぞれの表面にゲート絶縁膜を形成する工程と、前記第1ウェル表面に形成されたゲート絶縁膜上に多結晶シリコン

から成る第1ゲート電極を、前記第2ウェル表面に形成されたゲート絶縁膜上に多結晶シリコンから成る第2ゲート電極を形成する工程と、前記第1ゲート電極が形成されていない前記第1ウェル主面部に第2導電型不純物のイオン打ち込みを成す第1のイオン打ち込み工程と、前記第2ゲート電極が形成されていない前記第2ウェル主面部に第1導電型不純物のイオン打ち込みを成す第2のイオン打ち込み工程と、前記第1および第2ゲート電極の側壁にそれぞれサイドウォールスペーサを形成する工程と、前記第1ゲート電極および前記サイドウォールスペーサが形成されていない前記第1ウェル主面部に、その第1ウェルとPN接合を構成するソース・ドレイン領域を形成するためにその第1導電型とは反対の第2導電型不純物のイオン打ち込みを成す第3のイオン打ち込み工程と、前記第3のイオン打ち込みが成された前記第1ウェル主面に、シリサイド層を所定の厚さに形成するために第2導電型不純物のイオン打ち込みを成す第4のイオン打ち込み工程と、前記第2ゲート電極および前記サイドウォールスペーサが形成されていない前記第2ウェル主面部に、その第2ウェルとPN接合を構成するソース・ドレイン領域を形成するために第1導電型不純物のイオン打ち込みを成す第5のイオン打ち込み工程と、前記第5のイオン打ち込みが成された前記第2ウェル主面

に、シリサイド層を所定の厚さに形成するために第1導電型不純物のイオン打ち込みを成す第6のイオン打ち込み工程と、しかる後、熱処理により第1および第2ウェルのそれぞれにソース・ドレイン領域を形成する工程と、前記第1および第2ウェル内のそれぞれのソース・ドレイン領域表面と、それぞれの第1および第2ゲート電極表面に金属層を被覆する工程と、熱処理により前記

金属層と前記第1および第2ウェル内のそれぞれのソース・ドレイン領域表面及びそれぞれの第1および第2ゲート電極表面のシリコンを反応させて金属シリサイド層を形成する工程とを含むことを特徴とするCMOS半導体装置の製造方法。

これによって、それぞれのウェル領域内でのPN接合位置に近い深いイオン打ち込み領域での残留欠陥生成を抑制し、また、その領域表面に位置した浅いイオン打ち込み領域ではシート抵抗を低減するに十分な膜厚の金属シリサイド層を形成することが可能となる。このため、PN接合リークを増大させることのない低抵抗の金属シリサイド層をそれぞれのウェル領域内におけるソース・ドレイン領域表面に、またそれぞれのゲート電極表面に同時に形成することが可能である。したがって、微細パターンを有し、高速動作に適したCMOS半導体装置が得られる。

図面の簡単な説明

第1図は、本発明にかかるMOS半導体装置の断面構造を示した図である。

第2図は、本発明にかかるMOS半導体装置の平面構造を示した図である。

第3図は、本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第4図は、第3図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第5図は、第4図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第6図は、第5図に続く本発明の一発明の実施の形態のCMOS半導体装置の

製造工程を示す断面図である。

第7図は、第6図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第8図は、第7図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第9図は、第8図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第10図は、第9図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第11図は、第10図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第12図は、第11図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第13図は、第12図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第14図は、第13図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第15図は、第14図に続く本発明の一発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

第16図は、本発明の実施例で形成したソース・ドレイン領域の深さ方向の不純物濃度プロファイルを示す図である。

第17図は、本発明の実施例で形成した $p+/n$ 接合の逆方向 $I-V$ 特性を示す図である。

第18図は、本発明の実施例との比較のために他の条件で形成し

た $p+/n$ 接合の逆方向 $I-V$ 特性を示す図である。

第19図は、本発明の実施例に関し、高濃度層の厚さを変えた時の $p+/n$ 接合リークの発生状況を示す図である。

第20図は、本発明の実施例に関し、接合深さを変えた時の $p+/n$ 接合リーク

の発生状況を示す図である。

第21図は、本発明の実施例に関し、活性化熱処理を変えた時のP+/n接合リークの発生状況を示す図である。

第22図は、本発明の他の発明の実施の形態のCMOS半導体装置の製造工程を示す断面図である。

発明を実施するための最良の形態

本発明をより詳細に説述するために、添付の図面にしたがってこれを説明する。

第1図は、本発明の具体的実施例によって形成されたMOS半導体装置の断面図であり、第2図は、そのMOS半導体装置の平面図である。第2図に示したA-A破線の断面が第1図に示した断面構造となっている。

第1図に示すMOS半導体装置は、例えば第1導電型(P型)単結晶シリコン(Si)基板1に形成された第2導電型(N型)チャネルMOSトランジスタである。第1図に示す如く、素子分離用酸化膜(LOCOS膜)2によって区画されたPウエル3内にLDD(Lightly Doped Drain)構造のMOSトランジスタが形成されている。このMOSトランジスタのソース領域Sおよびドレイン領域D(以下これらをソース・ドレイン領域と称する)のそれぞれは、ゲート電極5に自己整合された比較的浅いN型第1領域10と、サイドウォール

スペーサ7に自己整合されたPウエル3とPN接合を構成する比較的深いN型第2領域8およびそのサイドウォールスペーサ7に自己整合された前記N型第1領域10よりも深く前記第2領域8よりも浅い中間の深さを有し、比較的高濃度のN型第3領域9とで構成されている。そして、このソース・ドレイン領域表面には低抵抗化のためのコバルトシリサイド膜(CoSi₂層)12が形成されている。このCoSi₂層12は、第2図に示すように、サイドウォールスペーサ7を有するゲート電極5およびLOCOS膜2によって区画されたソース・ドレイン領域(SD)の表面全体に形成されている。

N型第3領域9は、高濃度にして低抵抗のCoSi₂層12を形成するために設けられたものであり、この第3領域9の大半はCoSi₂層に変わっている。このことは

、この第3領域9全部を完全にCoSi₂化にする必要はないことを意味するものである。一方、N型第2領域8は、低濃度で深く形成され、

CoSi₂層形成には関係しない位置にPウェル3とPN接合を構成するために設けられている。

これらN型第2領域、N型第3領域およびCoSi₂層の相互の深さ関係については、本発明の目的達成するための重要なポイントでもあり、後で詳しく述べる。

ゲート電極5は、N型不純物を含む多結晶シリコンよりなり、その表面には低抵抗化のためにCoSi₂層11が形成されている。

上述のNチャネル型MOSトランジスタが形成されたシリコン基板表面には、パシベーション膜14が被覆されている。このパシベーション膜14には、第2図で示すように、ソース・ドレイン領域(SD)表面に形成されたCoSi₂層12の一部を露出するコンタクト孔

TH1が、ゲート電極5表面に形成されたCoSi₂層11の一部を露出するコンタクト孔TH2がそれぞれ形成されている。そして、コンタクト孔TH1を介して、バリア層15およびタングステン層16から成る積層の金属配線M1がソース・ドレイン領域(SD)表面に形成されたCoSi₂層12に接続されている。また、上記コンタクト孔TH2を介して、バリア層およびタングステン層から成る積層の金属配線M1がゲート電極5表面に形成されたCoSi₂層12に接続されている。上記バリア層(15)は、タングステンとシリコン(ソース・ドレイン領域およびゲート電極)との反応を防止する目的で形成されたもので、下層がチタン(厚さ約30nm)、上層が窒化チタン(厚さ50nm~70nm)から成る積層膜で構成されている。上記タングステン層(16)の厚さは300nm~400nmである。

次に、本発明の具体的実施例であるCMOS半導体装置の製造方法を第3図乃至第11図を参照して説明する。第3図乃至第11図において、図面左側はNチャネルMOSトランジスタ(NMOS)が形成される工程を示し、図面右側はPチャネルMOSトランジスタ(PMOS)が形成される工程を示す。これらNMOSおよびPMOSは一つの半導体基板(シリコン基板)に形成される。

(1) 第3図に示すように、まず、半導体基板としてのシリコンウェハ1が

準備される。このシリコンウエハ1は、チョコラルスキ (Czochralski) 法 (CZ法) により形成された単結晶インゴットをスライスしたものであり、そのウエハ1の表面は鏡面研磨された (100) 結晶面を有する。

このウエハ1表面に厚さ10nm程度の熱酸化膜 (SiO_2 膜) 101を形成する。つづいて、NウエルおよびPウエル形成のためのそれぞれ

れのイオン打ち込みがなされる。まず、NMOS形成領域側をフォトレジストマスク (図示せず) で覆い、そのフォトレジストマスクが形成されていないPMOS領域側にリンイオン (P^+) を所定のエネルギーで、所定のドーズ量を SiO_2 膜101を通して打ち込む。つづいて、PMOS形成領域側をフォトレジストマスク (図示せず) で覆い、そのフォトレジストマスクが形成されていないNMOS領域側にボロンイオン (B^+) を所定のエネルギーで、所定のドーズ量を SiO_2 膜101を通して打ち込む。

なお、ここで準備される半導体基板 (シリコンウエハ) 1は、欠陥密度の少ないゲート酸化膜が得られるエピタキシャルウエハを用いるのが好ましい。たとえば、そのエピタキシャルウエハは、 P^+ 型Si基板 (比抵抗: $0.01\Omega \cdot \text{cm} \sim 0.04\Omega \cdot \text{cm}$) の表面に厚さ4~5 μm 程度のP型エピタキシャル層 (比抵抗: $10\Omega \cdot \text{cm}$ 程度) が形成されたもの、また、P型Si基板 (比抵抗: $10\Omega \cdot \text{cm}$ 程度) の表面に厚さ1~3 μm 程度のP型エピタキシャル層 (比抵抗: $10\Omega \cdot \text{cm}$ 程度) が形成されたものが用いられる。後者のエピタキシャルウエハは、基板からのオートドーピングやアウトデフュージョンが少なく、しかもエピタキシャル層が薄いために低コストであるメリットを有する。

(2) 第4図に示すように、PMOS形成領域およびNMOS形成領域を覆うように、 SiO_2 膜101上にシリコン窒化膜 (Si_3N_4 膜) 102を周知のフォトリソグラフィ技術を用いて選択的に形成する。そして、 Si_3N_4 膜102が形成されていない基板1の表面を熱酸化することにより素子分離用酸化膜、いわゆるLOCOS膜2 (厚さ: 約350nm) を選択形成する。このLOCOS膜形成時に、基板内にイオン

注入されたリン (P) およびボロン (B) が熱拡散し、PMOS形成のためのNウェル3NおよびNMOS形成のためのPウェル3Pがそれぞれ所定の深さに形成される。

(3) Si_3N_4 膜102をおよび SiO_2 膜101を除去した後、第5図に示すように、LOCOS酸化膜2で区画された活性領域 (PMOS形成領域およびNMOS形成領域) 上に、6 nmのゲート酸化膜4を形成する。そして、ゲート酸化膜4上に例えばノンドープのポリシリコン (多結晶シリコン) 膜5を厚さ250 nmに形成する。つづいて、このノンドープドポリシリコン膜5に対し、不純物を導入し、低抵抗化を図る。具体的には、NMOS形成領域をホトレジストマスクで覆い、このポリシリコン膜5にボロン (B+) イオンを選択的に打ち込むことにより、PMOS形成のためのドープドポリシリコン膜5(P)を得る。同様に、PMOS形成領域をホトレジストマスクで覆い、このポリシリコン膜5にリン (P+) イオンを選択的に打ち込むことにより、NMOS形成のためのドープドポリシリコン膜5(N)を得る。

(4) 第6図に示すように、ホトエッチング工程により、ドープドポリシリコン膜5(P), 5(N)をゲート電極パターンに加工する。そして、そのゲート電極表面を酸化することにより酸化膜103を形成する。いわゆる、ライト酸化処理を行う。

(5) 第7図に示すように、LDD (Lightly Doped Drain) 形成のために、NMOS形成領域をホトレジストマスクで覆い、ゲート電極およびLOCOS膜が形成されていないNウェル3N内に BF_2^+ をイオン打ち込む。イオン打ち込み条件は、エネルギー10 keV、打ち込み量 $7 \times 10^{13}/\text{cm}^2$ である。同様に、PMOS形成領域

をホトレジストマスクで覆い、ゲート電極およびLOCOS膜が形成されていないPウェル3P内に As^+ をイオン打ち込みを行う。イオン打ち込み条件は、エネルギー20 keV、打ち込み量 $2 \times 10^{14}/\text{cm}^2$ である。つづいて、950°C10秒の短時間熱処理 (RTA: Rapid Thermal Annealing) でイオン打ち込みされた不純物を活性化し、それぞれN-型ソース・ドレイン領域 (104S, 104D)、P-型ソース・ドレ

イン領域(105S, 105D)を形成する。

(6) 第8図に示すように、Si基板1上に熱CVD-SiO₂膜を100nm形成する。そして、異方性ドライエッチング技術によりこの熱CVD-SiO₂膜をエッチングし、サイドスペーサ7を残す。この熱CVD-SiO₂膜に代えてSiN膜によるサイドスペーサ7であってもよい。SiN膜の場合、ゲート電極、N-型ソース・ドレイン領域(104S, 104D)およびP-型ソース・ドレイン領域(105S, 105D)の表面をそれぞれ覆う下地SiO₂膜とのエッチング選択比がとれるため、サイドスペーサ7形成時に、下地SiO₂膜のエッチングを抑えることができる。

(7) 第9図に示すように、Si基板1全面にイオン打ち込みスルー膜17として熱CVD-SiO₂膜10nmを形成する。つづいて、本発明の特徴であるイオン打ち込みがNチャネルMOSFET形成のために実行される。

まず、PウェルとPN接合を構成するための半導体領域を形成するための1回目のイオン打ち込み(第3のイオン打ち込み工程)が行われる。すなわち、PMOS形成領域をホトレジストマスクPMで覆い、LOCOS膜2が形成されていないN-型ソース・ドレイン領域(104S, 104D)およびゲート電極5Nの表面にP+イオンの打ち込み

が行われる。イオン打ち込み条件は、例えば、エネルギー40keV、打ち込み量 $2 \times 10^{14}/\text{cm}^2$ である。

(8) さらに、第10図に示すように、上記N-型ソース・ドレイン領域(104S, 104D)およびゲート電極5Nの表面にシリサイド層を所定の厚さに形成するための2回目のイオン打ち込み(第4のイオン打ち込み工程)が行われる。不純物イオンとしてはAs+が適用される。イオン打ち込み条件は、例えば、エネルギー60keV、打ち込み量 $3 \times 10^{15}/\text{cm}^2$ である。

(9) 第11図に示すように、本発明の特徴であるイオン打ち込みがPチャネルMOSFET形成のために実行される。

まず、NウェルとPN接合を構成するための半導体領域を形成するための1回目のイオン打ち込み(第5のイオン打ち込み工程)が行われる。すなわち、NMOS形成領域をホトレジストマスクPMで覆い、LOCOS膜2が形成されてい

ないP-型ソース・ドレイン領域(105S, 105D)およびゲート電極5Pの表面にB⁺イオンの打ち込みが行われる。イオン打ち込み条件は、例えば、エネルギー25 keV、打ち込み量 $1 \times 10^{14}/\text{cm}^2$ である。

(10) さらに、第12図に示すように、上記N-型ソース・ドレイン領域(105S, 105D)およびゲート電極5Pの表面にシリサイド層を所定の厚さに形成するための2回目のイオン打ち込み(第6のイオン打ち込み工程)が行われる。不純物イオンとしては1回目のイオン打ち込みと同様にB⁺が適用される。イオン打ち込み条件は、例えば、エネルギー5 keV、打ち込み量 $1 \times 10^{15}/\text{cm}^2$ である。

(11) 第13図に示すように、950°C10秒の短時間熱処理(RTA)で、NチャネルMOSFETおよびPNチャネルMOSFET

T形成のためにそれぞれ2回に分けてイオン打ち込みされた不純物イオンを活性化することにより、ソース・ドレイン領域(106S, 106D; 107S, 107D)を形成する。接合深さはN型ソース・ドレイン領域が、180 nm、P型ソース・ドレイン領域が、250 nmである。浅いイオン打ち込み層(N⁺、P⁺高濃度層)は、およそ40 nmである。

本発明は、上記工程(7)、(9)における1回目のイオン打ち込みが深いPN接合を形成する低濃度層(低濃度領域)を形成し、上記(8)、(10)における2回目のイオン打ち込みが低抵抗のシリサイド層を形成するための下地となる浅い高濃度層(高濃度領域)を形成する。

なお、上記工程(5)で実施されているLDD形成のイオン打ち込み条件は、ソース・ドレイン領域形成のための2回目のイオン打ち込み条件より浅く、1/10以下のドーズ量となるよう設定される。

(12) 第14図に示すように、イオン打ち込みスルー膜である熱CVD-SiO₂膜17をウェットエッチングにより除去することにより、ゲート電極(5N, 5P)の表面およびソース・ドレイン領域(106S, 106D; 107S, 107D)の表面を露出する。

(13) つづいて、Si基板1主面上にDCマグネトロンスパッタ法でCo膜を10 nm、さらにその上にTiN膜を10 nm形成する。このTiN膜はCo膜表面の酸化防止のために形成される。そして、第12図に示すように、窒素雰囲気下550°C30秒熱処

理し、Coと接触するソース・ドレイン領域およびゲート電極上のみに選択的にコバルトシリサイド層を形成する。この段階ではコバルトシリサイドはCo : Si=1 : x ($x \leq 1$) の組成である。未反応のCo膜及びTiN膜

をウェットエッチング除去した後、窒素雰囲気下750℃30秒熱処理(RTA)を行い、コバルトシリサイド層をCo : Si=1 : 2の定比化合物(CoSi₂)に変換する。

本実施例はゲート電極表面も同時にシリサイド化するシリサイドプロセスであるため、ゲート電極表面に形成されるコバルトシリサイド層11とソース・ドレイン領域表面にSi(基板)を消費して形成されるコバルトシリサイド層12が存在する。最終的にコバルトシリサイド層(12)の膜厚は30nmとなる。このCoSi₂膜のシート抵抗は8.5Ω/□、比抵抗は25μΩ・cmである。ロジックLSIにおいては、拡散層(ソース・ドレイン領域)のシート抵抗として10Ω/□以下が求められており、十分これを満足する値である。

コバルトシリサイド層形成工程につづくパシベーション膜形成および配線形成工程を第1図を参照し、以下に説明する。

(14) Si基板には、パシベーション膜14が被覆される。このパシベーション膜14は、具体的には、プラズマCVD膜あるいはプラズマTEOS膜よりなる。または、不純物ゲッタリングのためのPSG膜と上記プラズマ処理膜との積層膜よりなる。

つづいて、このパシベーション膜14に対して、ソース・ドレイン領域(SD)表面に形成されたCoSi₂層12の一部を露出するコンタクト孔TH1を、ゲート電極5表面に形成されたCoSi₂層11の一部を露出するコンタクト孔TH2をそれぞれ形成する。つづいて、バリア層15およびタングステン層16を順次形成する。そして、この積層膜を公知のホトリソグラフィ技術を用いて積層の金属配線M1をパターン形成する。

以上の方法により、本発明の一実施形態であるCMOS半導体装置が得られる。

第16図に本実施例で形成したソース、ドレイン領域のSIMS(Secondary Ion M

ass Spectrometry) デプスプロファイルを示す。このデプスプロファイルは、第 1 図に示した P チャネル MOSFET における直線 B-B で示した領域で測定したデプスプロファイルである。CoSi₂ 層の影響を除去するため、CoSi₂ 層をウェット除去後測定した結果である。本実施例では、CoSi₂ 層厚さ $t = 30 \text{ nm}$ であり、デプスプロファイルでは深さ 60 nm の時点ですてに B 濃度は $1 \times 10^{20} \text{ 個/cm}^3$ 以下となっており、B 濃度が $1 \times 10^{20} \text{ 個/cm}^3$ 以上で定義する高濃度層の厚さは 27 nm であり、B 拡散層の 50% 以上は CoSi₂ 形成に消費されている。また、本実施例では p+/n 接合深さは表面の CoSi₂ 分 30 nm を含め 240 nm の位置であった。このソース・ドレイン領域を断面 TEM (Transmission Electron Microscope) 観察すると、ソース、ドレイン形成の 2 回目インプラによる残留欠陥が基板表面から深さ 40 nm 程度の位置に多数観察された。一方、より深い位置に存在すると考えられる 1 回目のイオン打ち込みによる残留欠陥は観察されなかった。これはドーズ量が 2 回目のイオン打ち込みの $1/10$ と少ないため発生する欠陥が少なく、活性化熱処理で回復できたためと考えられる。1 回目のイオン打ち込みで残留欠陥の発生しない最大ドーズ量は $3 \times 10^{14} \text{ 個/cm}^2$ である。また 1 回目のイオン打ち込みをさらに複数回に分割して実施する場合には各ステップのドーズ量の総和が $3 \times 10^{14} \text{ 個/cm}^2$ 以下でなければならない。

以上説明したように、接合を形成するイオン打ち込み（本実施例では 1 回目のイオン打ち込み）による残留欠陥の発生を極力抑える

ことが接合リーク低減には重要である。

逆に、高濃度層を形成する 2 回目のイオン打ち込みはできるだけ高ドーズとして発生する残留欠陥を増やすことが望ましい。多数の残留欠陥に一樣に Co を凝集させることで、個々の Co₂Si の異常成長を小さなものにするか可能となるからである。そのため、2 回目のイオン打ち込みは最低でも $1 \times 10^{15} \text{ 個/cm}^2$ 以上のドーズ量で実施する必要がある。この 2 回目イオン打ち込みも複数回に分割して実施する場合には各ステップのドーズ量の総和が $1 \times 10^{15} \text{ 個/cm}^2$ 以上でなければならない。

第 17 図に本実施例で形成した p+/n 接合の逆方向 I-V 曲線を示した。本実施例

によれば、ロジック L S I で要求される 5 V 印加時の接合リーク電流密度 $1 \times 10^{-13} \text{ A}/\mu\text{m}^2$ ($1 \times 10^{-13} \text{ A}/\mu\text{m}^2$) 以下という仕様 (仕様 (1)) を満足する。比較のために、上記本実施例の形成法のうち、高濃度層形成の 2 回目のイオン打ち込みのみ、 BF_2 +イオンで、エネルギー 40 keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ に変更して試料を形成した。この試料をここでは便宜上、「比較例」と言う。そして、この比較例の比較例の p+/n 接合の逆方向 I-V 特性を測定した。この比較例 (試料 3 個) の p+/n 接合の逆方向 I-V 曲線を第 18 図に示す。プロット比較例の場合には、高濃度層が 65 nm 程度になり、本実施例の範囲を越えた厚さとなり、高濃度層下端が p+/n 接合面に接近する。そのため試料によっては印加電圧を上げていくと接合リーク電流が流れるようになるのである。

第 19 図は、高濃度層の厚さを変えた時の p+/n 接合リークの発生状況を示す。測定試料は、ソース・ドレイン領域形成の 2 回のイオン打ち込みのうち、エネルギー 25 keV、打ち込み量 1×10^{14}

の 1 回目の打ち込み条件を固定し、2 回目の打ち込みのエネルギーのみ変えて実施することにより高濃度層の厚さを変えたものである。そして、第 19 図は、上記仕様 (1) 及びさらに厳しい 5 V 印加時の接合リーク電流密度 $5 \times 10^{-14} \text{ A}/\mu\text{m}^2$ ($5 \times 10^{-14} \text{ A}/\mu\text{m}^2$) 以下という仕様 (仕様 (2)) を満たす試料の比率を示した。高濃度層の厚さか CoSi_2 層と同じ 30 nm を越えると仕様を満たさない試料が現われることがわかる。

ここで、Si 基板上に形成する Co 膜を厚くし、シリサイド化により形成される CoSi_2 層を 30 nm より厚くする場合について述べる。この場合、高濃度層の厚さは CoSi_2 層の厚さに比例して増やしていく必要がある。ひとつには、反応する Co 量が増えるため Co_2Si の異常成長深さが深くなることから、これを高濃度層中に抑え込むためにはより厚い高濃度層が必要となるからである。また、Si 基板の消費厚さが増すため、高濃度層を形成する 2 回目の打ち込みエネルギーを増やして、より深い位置に高濃度層を形成する必要があるが、打ち込みエネルギーを増すとドーパントのデプスプロファイルが広がり、深さ方向の制御がしにくくなるため全体にスケールを拡大する必要があるという点からも、高濃度層の厚さは CoSi_2 層

の厚さに比例して増やしていくことが必要である。

反対に、Si基板上に形成するCo膜を薄くして、形成されるCoSi₂層を30nmより薄くする場合について述べる。ただしこの場合、CoSi₂層の抵抗が増加し、ソース・ドレイン領域に対するシリサイド化のメリットは減じてしまうので、最低でも20nm以上のCoSi₂層が必要である。本発明に従えばCoSi₂層を薄くすれば、必要な高濃度層の厚さも当然小さくて済むが、実用的には無理に薄い

高濃度層を用いるのではなく、余裕を持たせ30nm程度の高濃度層を用いる方が有利である。すなわち、薄い高濃度層を形成するためにはより低エネルギーのインプラが必要になり技術的な難しさが増す点、CoSi₂層の膜厚変動に対するマージンが減少する点、等の高濃度層を薄くすることのデメリットが存在するからである。

第20図は、接合深さを変えた時のp+/n接合リークの発生状況を示す。第17図における測定試料は、第19図に示した測定試料とは逆にソース・ドレイン領域形成の2回のイオン打ち込みのうち、2回目のイオン打ち込み条件を、エネルギー5keV、打ち込み量 1×10^{15} に固定し、1回目の打ち込みエネルギーのみ変えて実施することにより接合深さを変えたものである。そして、第17図は、上記仕様(1)及び仕様(2)を満たす試料の比率を示した。CoSi₂層厚さ $t = 30$ nmに対し、接合深さ X_j が $X_j < 4 \times t$ まで浅くなると仕様を満たさない試料が現われることがわかる。

そして、第21図は、ドーパントの活性化熱処理の影響を示した図である。第21図は、上記本実施例よりソース・ドレイン領域形成のイオン打ち込み後の活性化熱処理の条件のみを変えた場合の、上記仕様(1)及び仕様(2)を満たす試料の比率を示した。熱処理温度850℃では仕様を満たさない試料が現われており、ソース、ドレイン形成インプラ後の活性化熱処理には900℃以上の温度が必要である。ただし、熱処理が900℃以上の場合にはドーパントの熱拡散が起こり、デバイス特性を劣化させる危険性があるため、処理時間を60秒以下にしてドーパントの熱拡散を最小限に抑える必要がある。すなわち、本発明はp/n接合近辺の残留欠陥を低減することで、Coが凝集して接合リークの原因となるCo

Co_2Si の異常成長

を抑えるものだが、ドーパントの活性化熱処理による熱拡散が著しい場合には、残留欠陥の発生位置とp/n接合位置が離れてしまい、それにより接合リーク自体が低減されるからである。本発明の請求項において残留欠陥の位置及び密度を規定する代わりにドーパントの濃度プロファイルで規定することが可能なのも、ドーパントの活性化熱処理時に殆どドーパントの熱拡散がなく、イオン打ち込み時の濃度プロファイルがそのまま維持されるからである。そのため、ドーパントの高濃度領域を打ち込みの残留欠陥発生領域とみなして扱うことが可能になるのである。

第22図は、本発明の他の実施形態である。すなわち、先の実施例の素子分離用としてのLOCOS膜2に代えて浅い溝分離層（シャローウグループドアイソレーション）20が採用されている。この場合、LOCOS膜による素子分離に比べ、バードビークの問題がなく、しかも基板の平坦化（CMP採用）により、高集積化が可能となる。

浅い溝分離層20を形成した後、P、Nウェル形成する。そして、この後の工程は、前記実施例の工程（3）におけるゲート酸化膜より、前記実施例と同様の工程を経る。

最後に、本発明の考え方をまとめると以下のとおりである。Co膜を被着したSi基板を加熱すると、最初にCoがSi基板中に拡散し、 Co_2Si という化合物を形成する。この際、CoはSi基板中に残っている線状の残留欠陥を辿ることで容易に基板深くまで拡散する。また、Coは欠陥の周辺に凝集する傾向があり、結果的には欠陥部で Co_2Si がSi基板深くまで異常成長するという現象が発生する。この異常成長した Co_2Si がウェルとのp/n接合近辺まで到達している場合には、

そこから接合リークが発生する。ソース、ドレインへのインプラを低濃度にする。すなわち、ソース・ドレイン領域を低濃度化することで残留欠陥を低減し、 Co_2Si の異常成長を抑えることができる。したがって、この異常成長に起因した接合リークを抑えることができる。しかしながら、単純にソース・ドレイン領域を

低濃度化しただけでは、上に形成される CoSi_2 層との接触抵抗が高くなってしまふ。これを防ぐため、 CoSi_2 層の下に高濃度層を設ける。この高濃度層は浅く、高濃度のイオン打ち込みで形成するが、この層中には残留欠陥が多く、多量のCoが拡散してくることを意味している。このCoの拡散を深部まで許さないために、高濃度層の厚さを CoSi_2 層と同程度以下に限定するのである。また、この高濃度層は Co_2Si の異常成長の抑制にも有効である。すなわち、高濃度層中は高密度で残留欠陥が存在するため、 Co_2Si の異常成長が多発する。しかし、全面に渡って多数の欠陥があるため、一部の Co_2Si のみが際立って深く成長するということはなく、一様に浅く成長したところで反応が終了する。p/n接合ははるかに深い位置にあり、このように異常成長が浅い位置に留まる限り接合リークは発生しない。これにより、より効果的に接合リークが抑制されるのである。

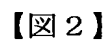
産業上の利用可能性

微細化に伴い、ソース、ドレイン抵抗が高くなり、コンタクト孔も小さくなることからコンタクト抵抗も上昇する。そのため、将来的にはいずれのLSI製品でもソース、ドレインのシリサイド化は避けられない。

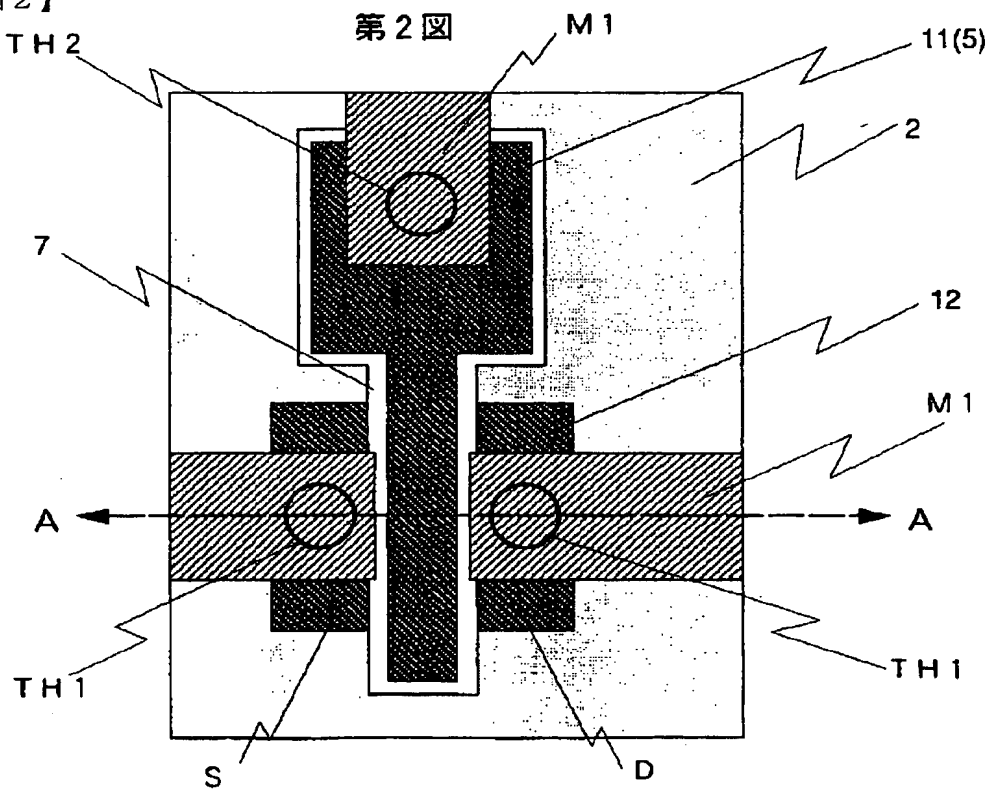
したがって、本発明は高速ロジックLSI、高速SRAM、DR

AM、そしてさらにメモリとロジックが混載されたオンチップLSIに適用して有効である。

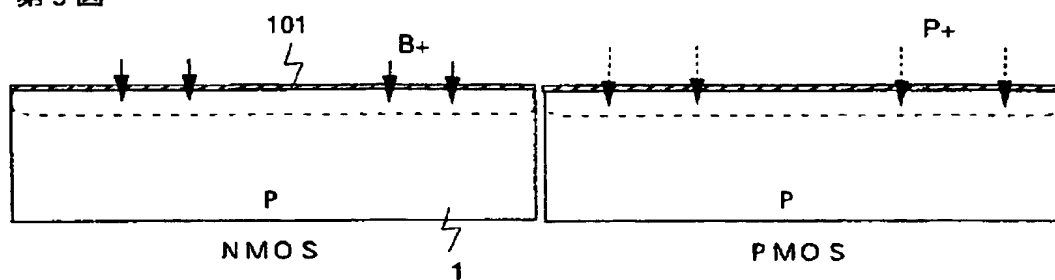
第1図



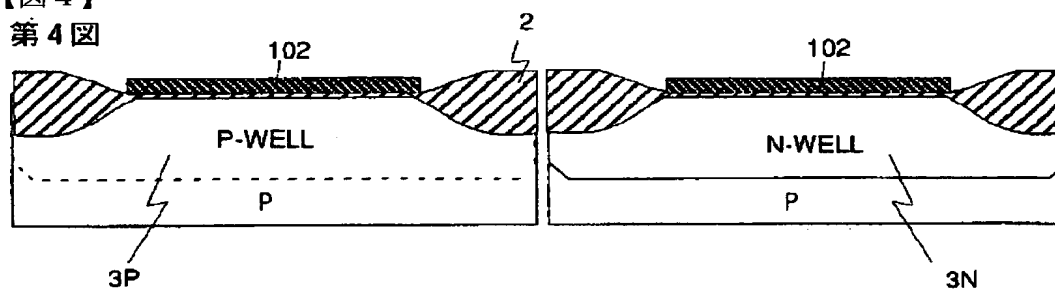
第 2 図



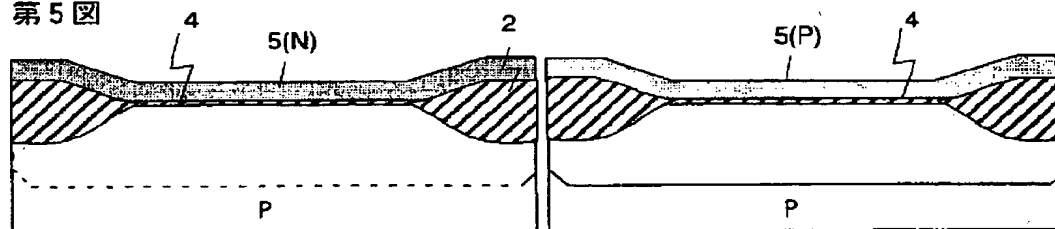
【図3】
第3図



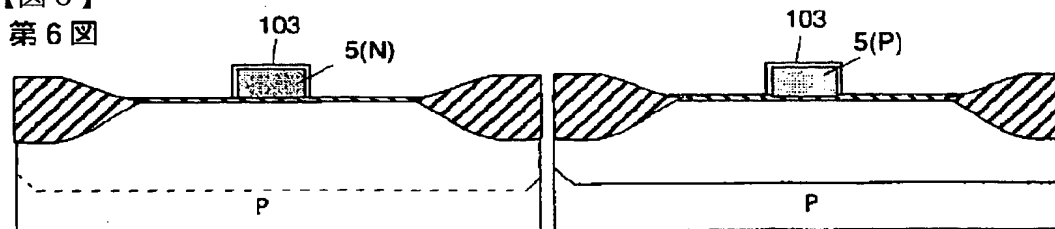
【図4】
第4図



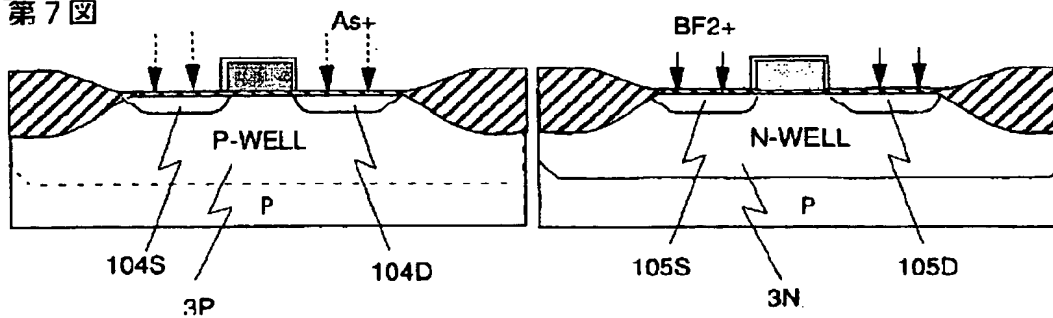
【図5】
第5図



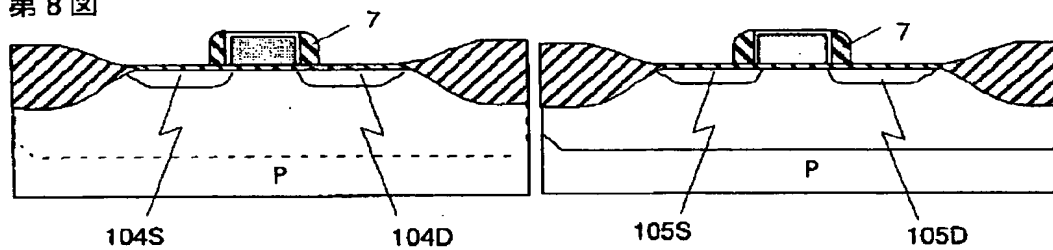
【図6】
第6図



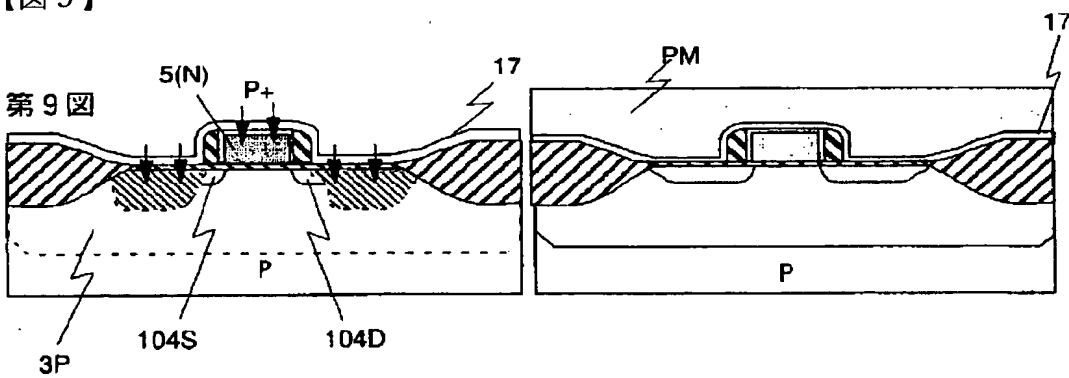
【図 7】
第 7 図



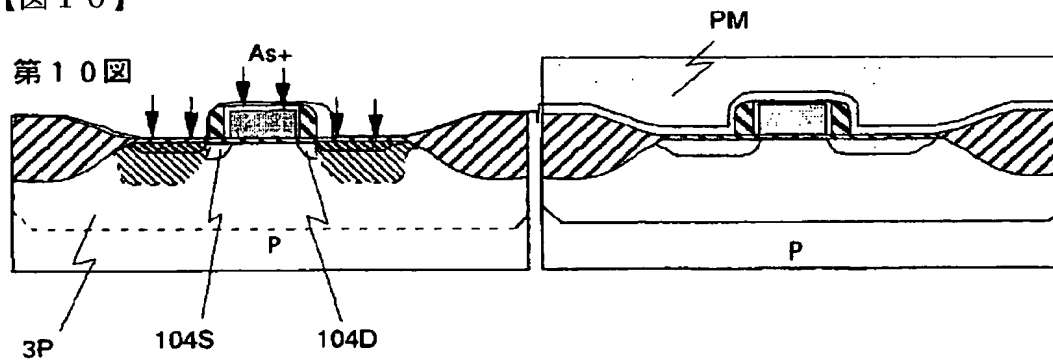
【図 8】
第 8 図



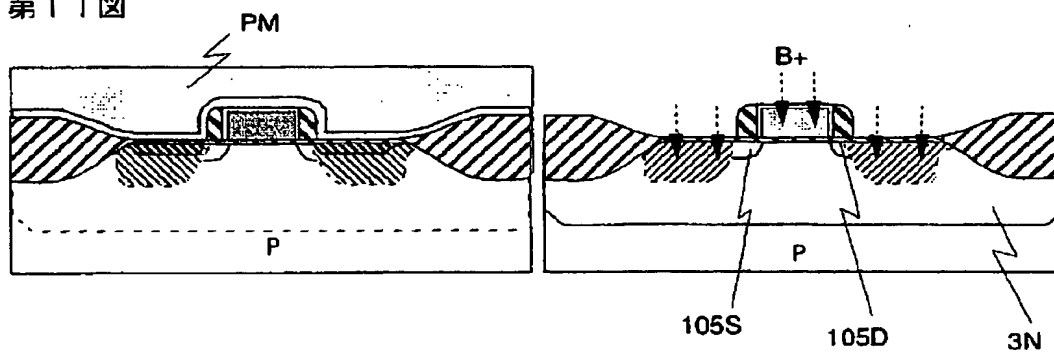
【図 9】
第 9 図



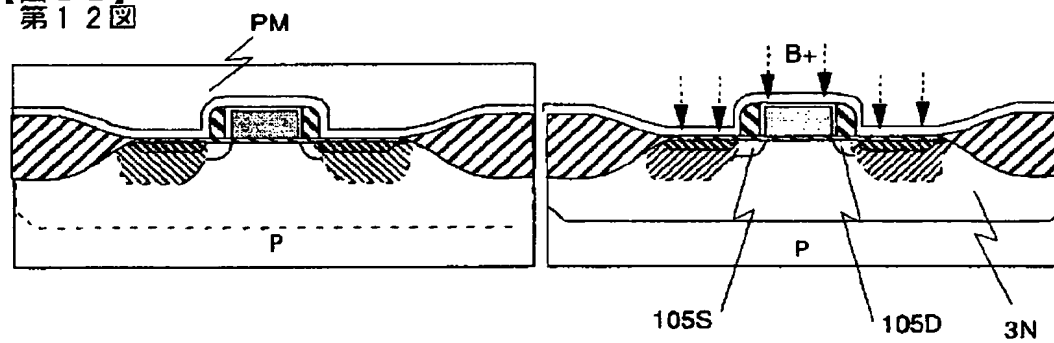
【図 10】
第 10 図



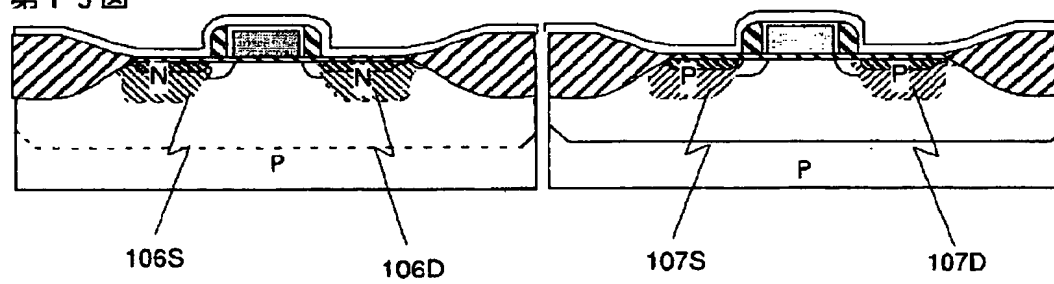
【図11】
第11図

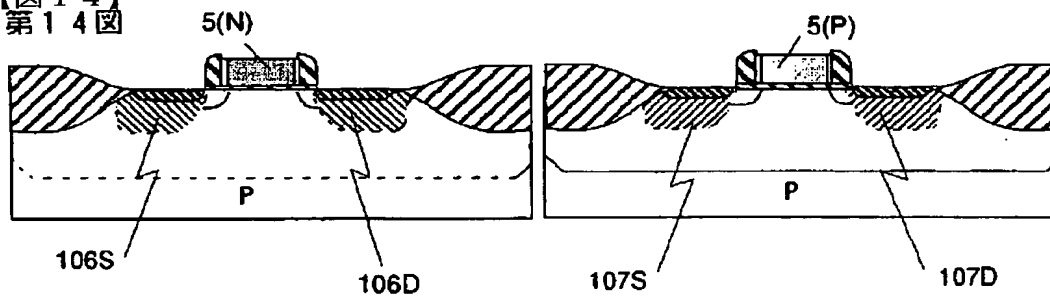
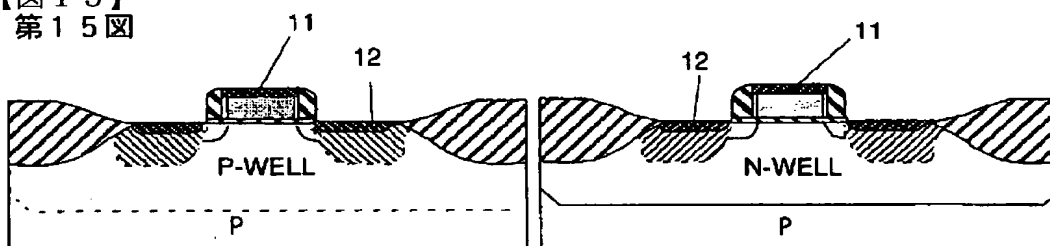


【図12】
第12図



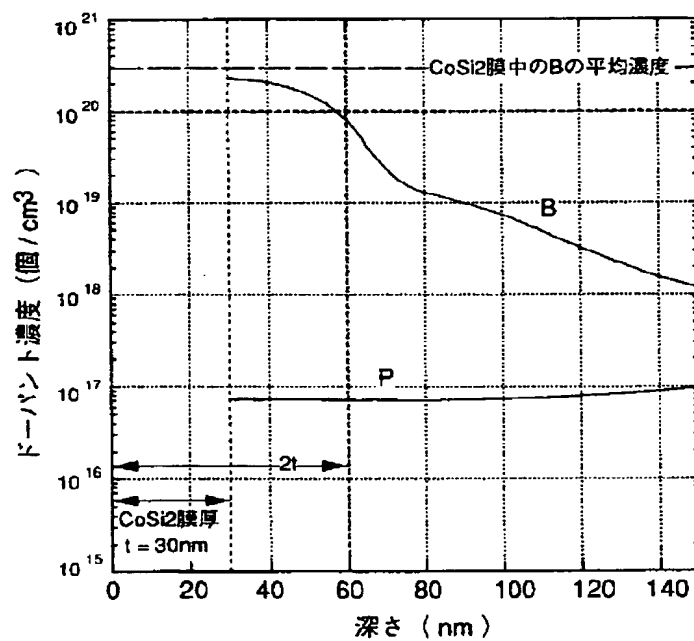
【図13】
第13図



【図14】
第14図【図15】
第15図

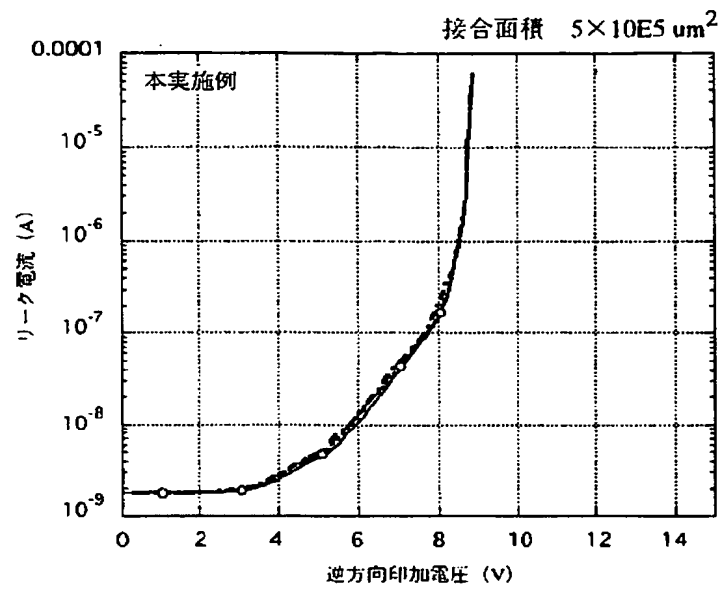
【図16】

第16図



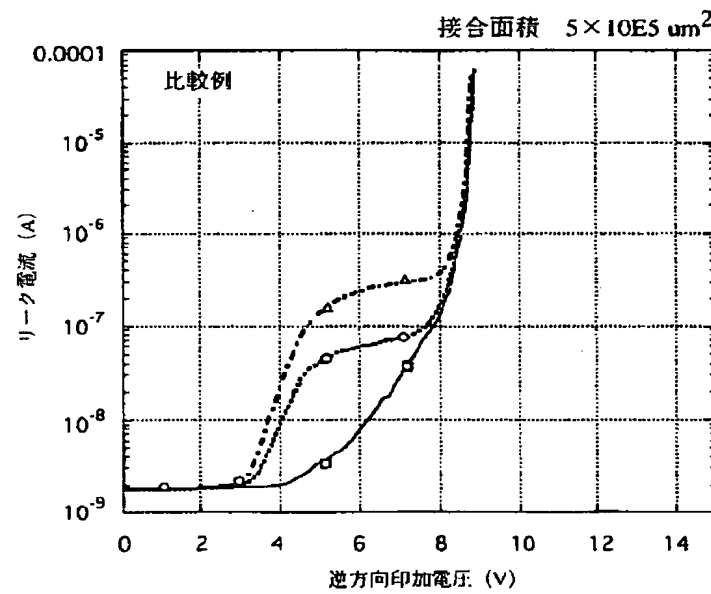
【図 17】

第 17 図



【図 18】

第 18 図



【図 19】

第 19 図

CoSi₂層厚さ t 30nm
 接合深さ X_j 240um
 仕様 (1) 1×10E-13 A/um² (@5V)
 仕様 (2) 5×10E-14 A/um² (@5V)
 接合面積 2×10E5 um²
 測定試料数 20個

高濃度層厚さ	仕様 (1)を満たす 試料数とその比率	仕様 (2)を満たす 試料数とその比率
22nm (本発明)	20 (100%)	20 (100%)
27nm (本発明)	20 (100%)	20 (100%)
33nm	20 (100%)	18 (90%)
40nm	18 (90%)	12 (60%)
65nm (比較例)	12 (60%)	1 (5%)

高濃度層の厚さを変えた時の
 p+/n接合リークの発生状況

【図 20】

第 20 図

CoSi₂層厚さ t 30nm
 高濃度層厚さ 27um
 仕様 (1) 1×10E-13 A/um² (@5V)
 仕様 (2) 5×10E-14 A/um² (@5V)
 接合面積 2×10E5 um²
 測定試料数 20個

接合深さ X _j	仕様 (1)を満たす 試料数とその比率	仕様 (2)を満たす 試料数とその比率
57nm (高濃度層のみ)	0 (0%)	0 (0%)
100nm	15 (75%)	8 (40%)
120nm (本発明)	20 (100%)	20 (100%)
150nm (本発明)	20 (100%)	20 (100%)
240nm (本発明)	20 (100%)	20 (100%)

接合深さを変えた時の
 p+/n接合リークの発生状況

【図 2 1】

第 2 1 図

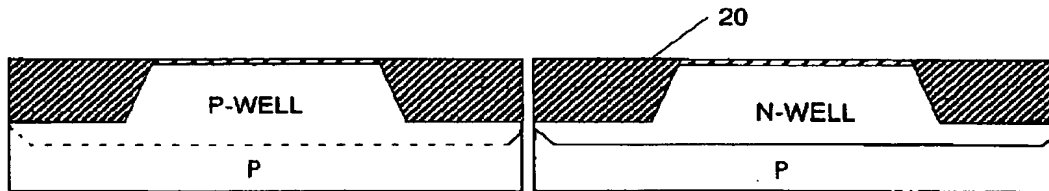
CoSi₂層厚さ t 30nm
 高濃度層厚さ 27μm
 接合深さ X_j 240μm
 仕様 (1) 1×10E-13 A/μm² (@5V)
 仕様 (2) 5×10E-14 A/μm² (@5V)
 接合面積 2×10E5 μm²
 測定試料数 20個

活性化熱処理条件	仕様 (1)を満たす 試料数とその比率	仕様 (2)を満たす 試料数とその比率
850℃ 5min	12 (60%)	6 (30%)
850℃ 30min	18 (90%)	15 (75%)
900℃ 60sec (本発明)	20 (100%)	20 (100%)
950℃ 15sec (本発明)	20 (100%)	20 (100%)
1000℃ 10sec (本発明)	20 (100%)	20 (100%)

活性化熱処理条件を変えた時の
 p+/n接合リークの発生状況

【図 2 2】

第 2 2 図



【国際調査報告】

国際調査報告		国際出願番号 PCT/J P 97/03328	
A. 発明の属する分野の分類 (国際特許分類 (IPC))			
H 01 L 21/28			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
H 01 L 21/28			
最小限資料以外の資料で調査を行った分野に含まれるもの			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
EX	J P. 9-251967, A (富士通株式会社), 22. 9月. 97 (22. 09. 97)	1-12, 17	
X	J P. 9-219516, A (ソニー株式会社), 19. 8月. 97 (19. 08. 97)	1, 3-11, 17	
Y		2, 13-16, 18	
X	J P. 9-121050, A (株式会社リコー), 6. 5月. 97 (06. 05. 97)	19, 20	
Y		21	
X	J P. 6-84824, A (三菱電機株式会社), 25. 3月. 94 (25. 03. 94)	1, 3-10, 12	
Y		2, 11, 13-18	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 先行文献ではあるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 15. 12. 97		国際調査報告の発送日 24. 12. 97	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 岡 和久 印 電話番号 03-3581-1101 内線 3464	

國際出願番号 PCT/J P 97/03328

様式PCT/ISA/210 (第2ページの続き) (1992年7月)

フロントページの続き

(72)発明者 楓 弘志

東京都青梅市新町1109-1 日立新町寮
205

(72)発明者 阿部 宏美

東京都荒川区南千住5-23-15

(72)発明者 鈴樹 正恭

東京都国分寺市東恋ヶ窪2-33-14-201

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。